

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-74945
(P2002-74945A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
G 1 1 C 11/406		G 1 1 C 11/34	3 6 3 N 5 B 0 2 4
11/407			3 6 2 S
11/403			3 6 3 M
			3 6 3 K
			3 7 1 J

審査請求 有 請求項の数 7 O L (全 22 頁)

(21) 出願番号 特願2000-265053(P2000-265053)

(22) 出願日 平成12年9月1日 (2000.9.1)

(71) 出願人 000002369

セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 水垣 浩一

長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100096817

弁理士 五十嵐 孝雄 (外3名)

Fターム (参考) 5B024 AA01 AA15 BA21 BA23 BA29
CA07 CA11 CA16 DA01 DA08
DA18 DA20

(54) 【発明の名称】 半導体メモリ装置のリフレッシュ制御

(57) 【要約】

【課題】 半導体メモリ装置が取り得る複数の動作状態にそれぞれ適したリフレッシュ動作を実行することのできる技術を提供する。

【解決手段】 メモリチップ200は、オペレーションサイクルでは、リフレッシュタイミング信号RFTMの発生後に、外部装置から供給されるクロック信号CLKに同期してリフレッシュ動作を開始する。また、スリープ状態（低消費電力状態）では、クロック信号CLKの有無に拘わらず、リフレッシュタイミング信号RFTMの発生に応じてリフレッシュ動作を開始する。

	#CS	ZZ	リフレッシュモード (注)
オペレーション	L	H	モード1
スタンバイ	H	H	モード1
スリープ (パワーダウン)	H	L	モード2

(注)

リフレッシュモード1: メモリチップ内部でリフレッシュタイミング信号が発生した後に、クロック信号CLKに同期してリフレッシュを実行する

リフレッシュモード2: メモリチップ内部でのリフレッシュタイミング信号の発生に応じてリフレッシュを実行する
(クロック信号CLKは不要)

【特許請求の範囲】

【請求項 1】 半導体メモリ装置であって、ダイナミック型メモリセルを有するメモリセルアレイと、前記メモリセルアレイのリフレッシュ動作の実行タイミングの決定に使用されるリフレッシュタイミング信号を発生するリフレッシュタイマを有し、前記リフレッシュタイミング信号に少なくとも応じて、前記メモリセルアレイにリフレッシュ動作を実行させるリフレッシュ制御部と、前記半導体メモリ装置の動作状態を規定する動作状態信号を外部装置から受けるための動作状態信号入力端子と、前記リフレッシュ制御部が前記リフレッシュ動作の実行タイミングを決定する際に前記リフレッシュタイミング信号と共に使用する外部タイミング信号を、外部装置から受けるための外部タイミング信号入力端子と、を備え、前記リフレッシュ制御部は、(i) 前記動作状態信号が第 1 の動作状態を示すときには、前記リフレッシュタイミング信号の発生後に、前記外部タイミング信号によって決定されるタイミングに従って前記メモリセルアレイにリフレッシュ動作を開始させる第 1 のリフレッシュモードに従って内部リフレッシュを実行し、(ii) 前記動作状態信号が第 2 の動作状態を示すときには、前記外部タイミング信号の有無に拘わらず、前記リフレッシュタイミング信号の発生に応じて前記メモリセルアレイにリフレッシュ動作を開始させる第 2 のリフレッシュモードに従って内部リフレッシュを実行することを特徴とする半導体メモリ装置。

【請求項 2】 請求項 1 記載の半導体メモリ装置であって、前記第 1 の動作状態は、前記半導体メモリ装置でのデータの読み出しと書き込みの少なくとも一方が可能なリード/ライトサイクルを含み、前記第 2 の動作状態は、前記半導体メモリ装置でのデータの読み出しと書き込みとが不可能であり、かつ、前記第 1 の動作状態よりも消費電力が少ない低消費電力状態を含む、半導体メモリ装置。

【請求項 3】 請求項 1 または 2 記載の半導体メモリ装置であって、前記外部タイミング信号はクロック信号であり、前記半導体メモリ装置は、前記第 1 の動作状態では、前記クロック信号に同期してリード/ライトサイクルを実行し、前記リフレッシュ制御部は、前記第 1 のリフレッシュモードにおいては、前記リフレッシュタイミング信号の発生後に、前記クロック信号に同期して前記メモリセルアレイにリフレッシュ動作を実行させる、半導体メモリ装置。

【請求項 4】 請求項 3 記載の半導体メモリ装置であって、さらに、前記外部装置から供給される前記クロック信号を制御するためのクロック制御部を備えており、前記クロック制御部は、前記半導体メモリ装置が前記第 1 の動作状態にあるときには、前記クロック信号を前記半導体メモリ装置内の前記リフレッシュ制御部を含む特定の回路に供給するとともに、前記半導体メモリ装置が前記第 2 の動作状態にあるときには、前記特定の回路への前記クロック信号の供給を停止する、半導体メモリ装置。

【請求項 5】 請求項 4 記載の半導体メモリ装置であって、前記第 2 の動作状態は、前記半導体メモリ装置の消費電力が最も低い状態である、半導体メモリ装置。

【請求項 6】 請求項 1 ないし 5 のいずれかに記載の半導体メモリ装置であって、前記メモリセルアレイは複数のブロックに分割されており、前記リフレッシュ制御部は、前記第 1 のリフレッシュモードによるリフレッシュ動作の開始の際に、前記複数のブロックの中の 1 つのブロックにおいてデータの読み出しまたは書き込みが行われているときには、前記データの読み出しまたは書き込みが行われているブロック以外のブロックにおいてリフレッシュ動作を実行させるとともに、前記データの読み出しまたは書き込みが行われているブロックに関しては、前記読み出しまたは書き込みが終了した後に当該ブロックにリフレッシュ動作を実行させる、半導体メモリ装置。

【請求項 7】 ダイナミック型メモリセルを有するメモリセルアレイと、前記メモリセルアレイのリフレッシュ動作の実行タイミングの決定に使用されるリフレッシュタイミング信号を発生するリフレッシュタイマとを有する半導体メモリ装置において、前記メモリセルアレイのリフレッシュを制御する方法であって、(i) 前記半導体メモリ装置が第 1 の動作状態にあるときには、前記リフレッシュタイミング信号の発生後に、外部装置から与えられる所定の外部タイミング信号によって決定されるタイミングに従って前記メモリセルアレイがリフレッシュ動作を開始する第 1 のリフレッシュモードに従って内部リフレッシュを実行し、(ii) 前記半導体メモリ装置が第 2 の動作状態にあるときには、前記外部タイミング信号の有無に拘わらず、前記リフレッシュタイミング信号の発生に応じて前記メモリセルアレイがリフレッシュ動作を開始する第 2 のリフレッシュモードに従って内部リフレッシュを実行することを特徴とするリフレッシュ制御方法。

【発明の詳細な説明】

【0001】

50 【発明の属する技術分野】 この発明は、半導体メモリ装

置のリフレッシュ制御に関する。

【0002】

【従来の技術】半導体メモリ装置としては、DRAMやSRAMが用いられる。良く知られているように、DRAMはSRAMに比べて安価で大容量であるが、リフレッシュ動作が必要である。一方、SRAMはリフレッシュ動作は不要で使い易いが、DRAMに比べて高価であり、また容量が小さい。

【0003】DRAMとSRAMの利点を両方備えた半導体メモリ装置として、疑似SRAM（VSRAMあるいはPSRAMと呼ばれる）が知られている。疑似SRAMは、DRAMと同じダイナミック型メモリセルで構成されたメモリセルアレイを備えているとともに、リフレッシュ制御部とを内蔵しており、リフレッシュ動作を内部で実行している。このため、疑似SRAMに接続される外部装置（例えばCPU）は、リフレッシュ動作を意識せずに疑似SRAMにアクセス（データの読み出しや書き込み）することが可能である。このような疑似SRAMの特徴は、「リフレッシュの透過性」と呼ばれる。

【0004】

【発明が解決しようとする課題】ところで、疑似SRAMの中には、例えば通常動作状態や省電力状態などのように、複数の動作状態を取り得るものがある。このような疑似SRAMにおいて、各動作状態においてどのように内部リフレッシュを行えばよいかについては、十分な考慮がなされていなかった。このような問題は、いわゆる疑似SRAMに限らず、リフレッシュタイマとリフレッシュ制御部とを内蔵したダイナミック型の半導体メモリ装置に共通する問題である。

【0005】本発明は、上述した従来の課題を解決するためになされたものであり、半導体メモリ装置が取り得る複数の動作状態にそれぞれ適したリフレッシュ動作を実行することのできる技術を提供することを目的とする。

【0006】

【課題を解決するための手段およびその作用・効果】上記目的を達成するために、本発明による半導体メモリ装置は、ダイナミック型メモリセルを有するメモリセルアレイと、前記メモリセルアレイのリフレッシュ動作の実行タイミングの決定に使用されるリフレッシュタイミング信号を発生するリフレッシュタイマを有し、前記リフレッシュタイミング信号に少なくとも応じて、前記メモリセルアレイにリフレッシュ動作を実行させるリフレッシュ制御部と、前記半導体メモリ装置の動作状態を規定する動作状態信号を外部装置から受けるための動作状態信号入力端子と、前記リフレッシュ制御部が前記リフレッシュ動作の実行タイミングを決定する際に前記リフレッシュタイミング信号と共に使用する外部タイミング信号を、外部装置から受けるための外部タイミング信号入

力端子と、を備えている。また、前記リフレッシュ制御部は、（i）前記動作状態信号が第1の動作状態を示すときには、前記リフレッシュタイミング信号の発生後に、前記外部タイミング信号によって決定されるタイミングに従って前記メモリセルアレイにリフレッシュ動作を開始させる第1のリフレッシュモードに従って内部リフレッシュを実行し、（ii）前記動作状態信号が第2の動作状態を示すときには、前記外部タイミング信号の有無に拘わらず、前記リフレッシュタイミング信号の発生に応じて前記メモリセルアレイにリフレッシュ動作を開始させる第2のリフレッシュモードに従って内部リフレッシュを実行する。

【0007】上記第1の動作状態では、外部タイミング信号によって決定されるタイミングに従って内部リフレッシュが開始されるので、リフレッシュ制御部は、外部装置からのアクセスと内部リフレッシュとの調停を容易に行うことができる。一方、第2の動作状態では、外部タイミング信号の有無に拘わらず、リフレッシュタイミング信号の発生に応じて内部リフレッシュが開始されるので、例えば外部タイミング信号が入力されない場合にも内部リフレッシュを実行することが可能である。すなわち、上記半導体メモリ装置では、複数の動作状態にそれぞれ適したリフレッシュ動作を実行することが可能である。

【0008】なお、前記第1の動作状態は、前記半導体メモリ装置でのデータの読み出しと書き込みの少なくとも一方が可能なりード／ライトサイクルを含むようにしてもよい。また、前記第2の動作状態は、前記半導体メモリ装置でのデータの読み出しと書き込みとが不可能であり、かつ、前記第1の動作状態よりも消費電力が少ない低消費電力状態を含むようにしてもよい。

【0009】この形態においては、リード／ライトサイクルでは、データの読み出しや書き込みと内部リフレッシュとの調停を行いつつ内部リフレッシュを実行することができ、また、低消費電力状態では、外部からの信号の入力が無い場合にも内部リフレッシュ動作を行うことが可能である。

【0010】前記外部タイミング信号はクロック信号であり、前記半導体メモリ装置は、前記第1の動作状態では、前記クロック信号に同期してリード／ライトサイクルを実行するようにしてもよい。また、前記リフレッシュ制御部は、前記第1のリフレッシュモードにおいては、前記リフレッシュタイミング信号の発生後に、前記クロック信号に同期して前記メモリセルアレイにリフレッシュ動作を開始させることが好ましい。

【0011】この形態では、リード／ライトサイクルと内部リフレッシュとがいずれもクロック信号に同期して実行されるので、両者の調停を行い易いという利点がある。

【0012】前記半導体メモリ装置は、さらに、前記外

10

20

30

40

50

部装置から供給される前記クロック信号を制御するためのクロック制御部を備えていることが好ましい。このクロック制御部は、前記半導体メモリ装置が前記第1の動作状態にあるときには、前記クロック信号を前記半導体メモリ装置内の前記リフレッシュ制御部を含む特定の回路に供給するとともに、前記半導体メモリ装置が前記第2の動作状態にあるときには、前記特定の回路への前記クロック信号の供給を停止するものであってもよい。

【0013】この形態では、第2の動作状態において、半導体メモリ装置の消費電力をより低減することが可能である。

【0014】なお、前記第2の動作状態は、前記半導体メモリ装置の消費電力が最も低い状態であるとしてもよい。

【0015】この形態では、消費電力が最も低い動作状態においても、内部リフレッシュを確実に行うことが可能である。

【0016】なお、前記メモリセルアレイは複数のブロックに分割されており、前記リフレッシュ制御部は、前記第1のリフレッシュモードによるリフレッシュ動作の開始の際に、前記複数のブロックの中の1つのブロックにおいてデータの読み出しまたは書き込みが行われているときには、前記データの読み出しまたは書き込みが行われているブロック以外のブロックにおいてリフレッシュ動作を実行させるとともに、前記データの読み出しまたは書き込みが行われているブロックに関しては、前記読み出しまたは書き込みが終了した後に当該ブロックにリフレッシュ動作を実行させるものであることが好ましい。

【0017】この形態では、仮に外部装置からのデータの読み出しまたは書き込みの要求と、内部リフレッシュのタイミングとが同時に発生した場合にも、データの読み出しや書き込みを遅らせることなく直ちに実行することが可能である。従って、いわゆるリフレッシュの透過性を確保することが可能である。

【0018】なお、本発明は、種々の形態で実現することが可能であり、例えば、半導体メモリ装置、そのリフレッシュ制御方法、半導体メモリ装置と制御装置とを備えた半導体メモリシステム、半導体メモリ装置の制御方法、および、半導体メモリ装置を備えた電子機器等の形態で実現することができる。

【0019】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて以下の順序で説明する。

A. 第1実施例：

- ・A1. メモリチップの端子構成と動作状態の概要：
- ・A2. 回路の全体構成：
- ・A3. リフレッシュ制御部の内部構成と動作：
- ・A4. チップ全体のリフレッシュ動作：

B. 第2実施例：

C. 電子機器への適用例：

D. 変形例：

【0020】A. 第1実施例：

A1. メモリチップの端子構成と動作状態の概要：図1は、本発明の第1実施例としてのメモリチップ200の端子の構成を示す説明図である。メモリチップ200は、以下のような端子を有している。

【0021】CLK：クロック入力端子、
A0～A19：アドレス入力端子（20本）、
#CS：チップセレクト入力端子、
ZZ：スヌーズ入力端子、
#WE：ライトイネーブル入力端子、
#OE：アウトプットイネーブル入力端子、
#LB：下位バイトイネーブル入力端子、
#UB：上位バイトイネーブル入力端子、
IO0～IO15：入出力データ端子（16本）。

【0022】なお、以下の説明では、端子名と信号名とに同じ符号を用いている。端子名（信号名）の先頭に「#」が付されているものは、負論理であることを意味している。アドレス入力端子A0～A19と入出力データ端子IO0～IO15はそれぞれ複数本設けられているが、図1では簡略化されて描かれている。

【0023】このメモリチップ200は、SRAMとほぼ同じ手順でアクセスすることが可能な疑似SRAM（VSRAM）として構成されている。メモリチップ200には、リフレッシュタイマ70を含むリフレッシュ制御部が内蔵されている。本明細書では、外部装置（「メモリ制御装置」または「制御装置」とも呼ぶ）からのデータの読み出しや書き込みの動作を「外部アクセス」と呼び、内蔵されたリフレッシュ制御部によるリフレッシュ動作を「内部リフレッシュ」または単に「リフレッシュ」と呼ぶ。

【0024】クロック信号CLKは、外部アクセスの開始と、内部リフレッシュの開始との同期を取るための同期信号として使用される。すなわち、アドレスA0～A19やチップセレクト信号#CSは、クロック信号CLKに同期して外部装置から入力される。また、内部リフレッシュも、通常はこのクロック信号CLKに同期して行われる。内蔵されたリフレッシュ制御部は、このクロック信号CLKに同期して外部アクセスと内部リフレッシュとの調停を行っている。

【0025】なお、本明細書において、「ある信号がクロック信号CLKに同期する」という文言は、その信号がクロック信号CLKのエッジと同じ時刻に発生することを必ずしも意味している訳ではなく、クロック信号CLKのエッジと一定の時間的な関係を保って発生することを意味している。

【0026】チップセレクト信号#CSとスヌーズ信号ZZは、メモリチップ200の動作状態を制御するための信号である。図2は、チップセレクト信号#CSとス

スヌーズ信号 Z Z の信号レベルに応じたメモリチップ 200 の動作状態の区分を示す説明図である。なお、本明細書において、「Hレベル」は 2 値信号の 2 つのレベルのうちの「1」レベルを意味し、「Lレベル」は「0」レベルを意味している。

【0027】チップセレクト信号 #CS が L レベル（アクティブ）でスヌーズ信号 Z Z が H レベルのときは、リード/ライト・オペレーションサイクル（以下、単に「オペレーションサイクル」または「リード/ライトサイクル」と呼ぶ）が行われる。オペレーションサイクルでは、メモリチップ 200 内のデータの読み出しや書き込みが行われる。

【0028】チップセレクト信号 #CS とスヌーズ信号 Z Z が共に H レベルのときには、スタンバイサイクルが行われる。スタンバイサイクルでは、すべてのワード線が非活性状態とされる。但し、内部リフレッシュが行われるときには、リフレッシュアドレスで指定されたワード線は活性化される。

【0029】チップセレクト信号 #CS が H レベル（非アクティブ）のときにスヌーズ信号 Z Z が L レベルになると、メモリチップ 200 はスヌーズ状態（「パワーダウン状態」とも呼ぶ）に移行する。スヌーズ状態では、リフレッシュ動作に必要な回路以外は停止している。また、スヌーズ状態では、クロック信号 CLK はメモリチップ 200 内部で停止される。スヌーズ状態では消費電力は極めて少ないので、メモリ内のデータのバックアップに適している。

【0030】リフレッシュ動作は、オペレーションサイクルとスタンバイサイクルでは第 1 のリフレッシュモードに従って実行され、スヌーズ状態では第 2 のリフレッシュモードに従って実行される。第 1 のリフレッシュモードでは、リフレッシュタイマ 70 がリフレッシュタイミング信号を発生した後に、クロック信号 CLK に同期してリフレッシュ動作が開始される。一方、第 2 のリフレッシュモードでは、リフレッシュタイマ 70 がリフレッシュタイミング信号を発生すると直ちにリフレッシュ動作が開始される。第 2 のリフレッシュモードでのリフレッシュ動作はクロック信号 CLK と非同期に行われるので、クロック信号 CLK は不要である。このように、このメモリチップ 200 は、3 つの動作状態にそれぞれ適したリフレッシュモードに従ってリフレッシュを実行する。これらの 2 つのモードにおけるリフレッシュ動作の詳細については後述する。

【0031】上述の説明から理解できるように、チップセレクト信号 #CS とスヌーズ信号 Z Z は、本発明における「半導体メモリ装置の動作状態を規定する動作状態信号」に相当する。また、クロック信号 CLK は、本発明における「リフレッシュ動作の実行タイミングを決定する際にリフレッシュタイミング信号と共に使用される外部タイミング信号」に相当する。

【0032】上述した 3 つの信号 CLK, #CS, Z Z 以外の信号は、通常のメモリチップに使用されるものとほぼ同じものである。アドレス A0~A19 は、20 ビットであり、1 メガワードのアドレスを指定する。また、入出力データ IO0~IO15 は、1 ワード分の 16 ビットのデータである。すなわち、アドレス A0~A19 の 1 つの値は 16 ビット（1 ワード）に対応しており、一度に 16 ビットの入出力データ IO0~IO16 を入出力することができる。

【0033】オペレーションサイクルにおいては、ライトイネーブル信号 #WE が L レベルになるとライトサイクルが実行され、H レベルになるとリードサイクルが実行される。また、アウトプットイネーブル信号 #OE が L レベルになると、入出力端子 IO0~IO15 からの出力が可能になる。下位バイトイネーブル信号 #LB や上位バイトイネーブル入力信号 #UB は、1 ワード（16 ビット）の下位バイトと上位バイトとのうちのいずれか 1 バイトのみに関して読み出しや書き込みを行うための制御信号である。例えば、下位バイトイネーブル信号 #LB を L レベルに設定し、上位バイトイネーブル信号 #UB を H レベルに設定すると、1 ワードの下位 8 ビットのみに関して読み出しや書き込みが行われる。なお、図 1 では、電源端子は省略されている。

【0034】図 3 は、第 1 実施例のメモリチップ 200 の動作の概要を示すタイミングチャートである。図 2 に示した 3 つの動作状態（オペレーション、スタンバイ、スヌーズ）のいずれであるかは、クロック信号 CLK の立ち上がりエッジに同期して判断される。図 3 の最初の 3 つのサイクルは、オペレーションサイクルである。オペレーションサイクルでは、ライトイネーブル信号 #WE のレベルに応じて読み出し（リードサイクル）と書き込み（ライトサイクル）のいずれかが実行される。なお、クロック信号 CLK の 1 周期 Tc は、このメモリチップ 200 のサイクルタイム（「サイクル周期」とも呼ぶ）と同じである。クロック周期 Tc は、例えば約 50 ns から約 100 ns の範囲の値に設定される。

【0035】図 3 の 4 番目のサイクルでは、チップセレクト信号 #CS が H レベルに立ち上がっているため、スタンバイサイクルが開始される。5 番目のサイクルでは、さらに、スヌーズ信号 Z Z が L レベルに下がっているため、メモリチップ 200 はスヌーズ状態となる。

【0036】なお、図 3 に示した信号の中で、チップセレクト信号 #CS とアドレス A0~A19 は、クロック信号 CLK に同期して外部装置（例えば CPU）から入力される。具体的には、チップセレクト信号 #CS とアドレス A0~A19 は、クロック信号 CLK の立ち上がりエッジよりも所定の時間（セットアップ時間）だけ早くメモリチップ 200 に入力される。この理由は、クロック信号 CLK の立ち上がりエッジにおいて、これらの信号 #CS, A0~A19 の値が確定しているようにす

るためである。

【0037】A2. 回路の全体構成：図4は、メモリチップ200の内部構成を示すブロック図である。このメモリチップ200は、データ入出力バッファ10と、メモリセルアレイ20と、アドレスバッファ60とを備えている。メモリセルアレイ20は、4つのブロック20A～20Dに分割されている。第1のブロック20Aは、メモリセルサブアレイ22Aと、行デコーダ24Aと、列デコーダ26Aとを有している。他のブロック20B～20Dも同様である。ブロック20A～20Dの構成は同一なので、以下では主に第1のブロック20Aと、これに関連する他の回路について説明する。

【0038】1つのブロック20Aの構成は、典型的なDRAMのメモリセルアレイと同じである。すなわち、サブアレイ22Aは、1トランジスタ1キャパシタ型の複数のメモリセルがマトリクス状に配列されたものである。各メモリセルには、ワード線とビット線対とが接続されている。また、サブアレイ22Aの中には、図示しないプリチャージ回路やセンスアンプなども設けられている。行デコーダ24Aは、サブアレイ22A内の複数のワード線の中の1つを選択して活性化する。列デコーダ26Aは、サブアレイ22A内の複数組のビット線対の中の1ワード（16ビット）分のビット線対を同時に選択する。従って、外部装置は、1つのアドレスA0～A19を入力することにより、1つのブロック内の16ビット（1ワード）のデータに同時にアクセスすることが可能である。

【0039】図4の左下側に示すアドレスバッファ60には、20ビットのアドレスA0～A19が入力される。アドレスA0～A19は、クロック信号CLKに同期してアドレスバッファ60内でラッチされ、他の回路に供給される。最下位の2ビットのアドレスA0～A1は、4つのブロック20A～20Dのうちのいずれか1つを選択するためのブロックアドレスとして用いられる。また、ブロックアドレスA0～A1よりも上位の6ビットのアドレスA2～A7は列アドレスとして用いられ、他の12ビットのアドレスA8～A19は、行アドレスとして用いられる。従って、ブロックアドレスA0～A1によって4つのブロック20A～20Dのうちの1つが選択され、選択されたブロックの中から、列アドレスA2～A7と行アドレスA8～A19によって1ワード分（16ビット）のデータが選択される。選択された1ワード分のデータは、データ入出力バッファ10を介して読み出され、あるいは書き込まれる。

【0040】1つのブロック20Aには、行プリデコーダ30Aと、ブロックコントローラ40Aと、リフレッシュ要求信号発生回路50Aとがこの順に接続されている。他のブロック20B～20Dについても同様である。メモリチップ200内には、さらに、リフレッシュ

シユカウンタコントローラ90と、リフレッシュカウンタ100とが設けられている。

【0041】リフレッシュタイマ70は、一定のリフレッシュ周期毎にリフレッシュタイミング信号RFTMを発生する回路である。リフレッシュタイマ70は、例えばリングオシレータによって構成される。リフレッシュ周期は、例えば約32μsに設定されている。

【0042】クロックコントローラ80は、スヌーズ信号ZZがHレベルのときには、外部装置から入力されたクロック信号CLKから内部クロック信号ICLKを生成してメモリチップ200内の他の回路に供給する。内部クロック信号ICLKは、外部クロック信号CLKと同じ周期を有し、デューティがより小さい信号である。例えば、外部クロック信号CLKのデューティは約50%であるのに対して、内部クロック信号ICLKのデューティは約3%である。従って、以下の説明において、「内部クロック信号ICLKに同期している」という説明は、外部クロック信号CLKにも同期していることを意味している。なお、デューティの小さい内部クロック信号ICLKを作成するのは、メモリチップ200の内部においてクロック信号との同期を取り易くするためである。なお、内部クロック信号ICLKを作成せずに、外部クロック信号CLKをそのまま利用することも可能である。

【0043】スヌーズ信号ZZがLレベルのときには、クロックコントローラ80は、内部クロック信号ICLKの供給を停止する。すなわち、スヌーズ状態では、仮に外部クロック信号CLKが入力されたとしても、メモリチップ200内部の他の回路への内部クロック信号ICLKの供給が停止される。この結果、スヌーズ状態では、内部リフレッシュを行う回路以外の回路は動作が停止されるので、消費電力を極めて低く抑えることが可能である。なお、以下では、内部クロック信号ICLKを、単に「クロック信号ICLK」と呼ぶ。

【0044】リフレッシュ要求信号発生回路50A～50Dは、リフレッシュタイマ70から供給されるリフレッシュタイミング信号RFTMに応じて、各ブロック20A～20Dのためのリフレッシュ要求信号RFREQ0～RFREQ3を発生する。このリフレッシュ要求信号RFREQ0～RFREQ3は、対応するブロックコントローラ40A～40Dにそれぞれ与えられる。

【0045】ブロックコントローラ40A～40Dには、リフレッシュ要求信号RFREQ0～RFREQ3とともに、外部装置から与えられたブロックアドレスA0～A1が供給されている。リフレッシュ要求信号RFREQ0～RFREQ3は、4つのブロック20A～20Dにおいてリフレッシュ動作を開始すべきことを意味している。また、オペレーションサイクルでは、ブロックアドレスA0～A1は、4つのブロック20A～20Dのいずれに外部アクセスが要求されているかを示して

いる。そこで、ブロックコントローラ40A~40Dは、これらの信号RFREQ0~RFREQ3, A0~A1に応じて、4つのブロックに対する外部アクセスと内部リフレッシュとを調停する。この調停は、具体的には、外部アクセス実施信号#EX0~#EX3とリフレッシュ実施信号#RF0~#RF3のレベルをそれぞれ設定することによって行われる。

【0046】行プリデコーダ30A~30Dは、外部アクセス実施信号#EX0~#EX3とリフレッシュ実施信号#RF0~#RF3のレベルに応じて、外部装置から入力された行アドレスA8~A19と、リフレッシュカウンタ100から与えられたリフレッシュアドレスRFA8~RFA19とのうちの一方を選択して、行デコーダ24A~24Dに供給する。このアドレスの選択は、それぞれの行プリデコーダ毎に独立に行なわれる。例えば、リフレッシュの要求があったときに、これと同時に第1のブロック20Aに対する外部アクセスの要求がなされたときには、第1の行プリデコーダ30Aは行アドレスA8~A19を選択して第1のブロック20Aに供給し、一方、他の行プリデコーダ30B~30DはリフレッシュアドレスRFA8~RFA19を選択して対応するブロック20B~20Dにそれぞれ供給する。

【0047】なお、リフレッシュ要求信号発生回路50A~50Dと、ブロックコントローラ40A~40Dと、行プリデコーダ30A~30Dの構成と動作については、さらに後述する。

【0048】リフレッシュカウンタコントローラ90は、4つのブロック20A~20Dのすべてにおいて、同一のリフレッシュアドレスに対するリフレッシュ動作が完了したか否かを検出する。この検出は、後述するように、4つのリフレッシュ要求信号RFREQ0~RFREQ3のレベル変化を調べることによって行われる。4つのブロック20A~20Dにおけるリフレッシュ動作が完了すると、リフレッシュカウンタコントローラ90は、リフレッシュカウンタ100にカウントアップ信号#CNTUPを供給する。リフレッシュカウンタ100は、このカウントアップ信号#CNTUPに応じてリフレッシュアドレスRFA8~RFA19の値を1つカウントアップする。

【0049】メモリチップ200は、図4に示した回路の外に、チップセレクト信号#CSやスヌーズ信号ZZに従ってチップ内の回路の動作状態を制御するコントローラや、各種のイネーブル信号#WE, #OE, #LB, #UBに応じて入出力状態を制御するコントローラなどを有しているが、図4では、図示の便宜上省略されている。

【0050】なお、図4に示した回路のうちで、メモリセルアレイ20と、データ入出力バッファ10と、アドレスバッファ60と、クロックコントローラ80以外の回路(30A~30D, 40A~40D, 50A~50

D, 70, 90, 100)で構成される回路部分は、本発明における「リフレッシュ制御部」に相当する。また、特に、行プリデコーダ30A~30Dと、ブロックコントローラ40A~40Dと、リフレッシュ要求信号発生回路50A~50Dとで構成される回路部分は、内部リフレッシュと外部アクセスとの調停を行う調停回路としての機能を有している。

【0051】A3. リフレッシュ制御部の内部構成と動作: 図5は、リフレッシュ要求信号発生回路50Aと、ブロックコントローラ40Aの内部構成を示すブロック図である。なお、他のリフレッシュ要求信号発生回路50B~50Dや、他のブロックコントローラ40B~40Dもこれらと同一の構成を有している。

【0052】リフレッシュ要求信号発生回路50Aは、インバータ52と、NANDゲート54と、パルス発生回路55と、2つのラッチ回路56, 58と、ANDゲート57とを備えている。

【0053】NANDゲート54の一方の入力端子にはスヌーズ信号ZZが入力されており、他方の入力端子にはクロック信号ICLKがインバータ52で反転されて入力されている。NANDゲート54の出力Q54は、ANDゲート57に入力されている。

【0054】パルス発生回路55は、リフレッシュタイミング信号RFTMの立ち上がりエッジに応じてパルス信号Q55を発生する。このパルス発生回路55は、例えばワンショットマルチバイブレータで構成される。パルス信号Q55は、第1のラッチ56のセット入力端子に与えられている。このラッチ56の出力Q56は、NANDゲート54の出力Q54とともに、ANDゲート57に入力されている。ANDゲート57の出力Q57は、第2のラッチ58のセット入力端子に供給されている。このラッチ58の出力Q58は、リフレッシュ要求信号RFREQ0としてブロックコントローラ40Aに供給されており、また、第1のラッチ56のリセット入力端子にも入力されている。

【0055】ブロックコントローラ40Aは、外部アクセス実施信号発生回路42と、リフレッシュ実施信号発生回路44と、パルス発生回路46とを備えている。外部アクセス実施信号発生回路42には、チップセレクト信号#CSと、ブロックアドレスA0~A1と、クロック信号ICLKとが入力されている。リフレッシュ実施信号発生回路44には、これらの信号#CS, A0~A1, ICLKの他に、リフレッシュ要求信号RFREQ0も入力されている。

【0056】外部アクセス実施信号発生回路42は、クロック信号ICLKの立ち上がりエッジにおいて、このブロックコントローラ40Aに関連するブロック20Aに対して外部アクセスが要求されているか否かを判断する。この判断は、チップセレクト信号#CSと、ブロックアドレスA0~A1とに基づいて行われる。すなわ

ち、チップセレクト信号#CSがLレベル（アクティブ）であり、かつ、ブロックアドレスA0～A1が“00”のときには、ブロック20Aに対して外部アクセスが要求されているものと判断される。このとき、外部アクセス実施信号発生回路42は、外部アクセス実施信号#EXOをLレベル（アクティブ）に設定する。また、ブロック20Aへの外部アクセスの要求が無いときには、外部アクセス実施信号発生回路42は、外部アクセス実施信号#EXOを非アクティブ（Hレベル）に設定する。

【0057】リフレッシュ実施信号発生回路44も、外部アクセス実施信号発生回路42と同様に、ブロック20Aへの外部アクセスが要求されているか否かを判断する。ブロック20Aに対して外部アクセスの要求が無く、かつ、リフレッシュ要求があるときには、リフレッシュ実施信号発生回路44は、リフレッシュ実施信号#RFOをLレベル（アクティブ）に設定する。また、外部アクセスもリフレッシュ要求も無いときには、リフレッシュ実施信号#RFOをHレベル（非アクティブ）に設定する。なお、リフレッシュ実施信号#RFOがアク

ティブになると、ブロック20Aにおけるリフレッシュ動作が開始される。

【0058】ブロック20Aへの外部アクセスの要求がある場合には、リフレッシュ要求があっても、リフレッシュ実施信号#RFOはHレベル（非アクティブ）に設定される。その後、リフレッシュ実施信号#RFOは、ブロック20Aに対する外部アクセスが終了するまでHレベルに保持され、外部アクセスが終了した後にLレベル（アクティブ）に設定される。なお、ブロック20Aに対する外部アクセスが終了する場合としては、このブロック20A以外のブロックに対する外部アクセスが要求される第1の場合と、チップセレクト信号#CSがHレベル（非アクティブ）になってスタンバイサイクルとなる第2の場合とが存在する。リフレッシュ実施信号発生回路44は、クロック信号ICLKの立ち上がりエッジが発生するたびに、これらの2つの場合のいずれかが発生したか否かを調べ、いずれかが発生した時点でリフレッシュ実施信号#RFOをLレベル（アクティブ）に設定する。こうしてリフレッシュ実施信号#RFOがアクティブになると、その時点からブロック20Aにおけるリフレッシュ動作が開始される。

【0059】パルス発生回路46は、リフレッシュ実施信号#RFOの立ち上がりエッジに応じて、短パルス状のリセット信号RESET0を発生する。このパルス発生回路46は、例えばワンショットマルチバイブレータで構成される。このリセット信号RESET0は、第2のラッチ58のリセット入力端子に与えられている。

【0060】図6は、スタンバイサイクルにおけるリフレッシュ動作の開始を示すタイミングチャートである。スタンバイサイクルでは、スヌーズ信号ZZ（図6

（c））はHレベルなので、クロック信号ICLKはNANDゲート54を通過してANDゲート57に入力される（図6（e））。

【0061】時刻t1では、リフレッシュタイマ70から供給されるリフレッシュタイミング信号RFTM（図6（f））がHレベルに立ち上がり、これによって、リフレッシュ動作を開始すべきことがリフレッシュ要求信号発生回路50Aに通知される。時刻t1においてリフレッシュタイミング信号RFTMがHレベルに立ち上がると、パルス信号Q55（図6（g））が発生し、第1のラッチ56の出力Q56（図6（h））もこれに応じてHレベルに立ち上がる。

【0062】クロック信号ICLKの次の立ち上がりエッジの時刻t2においては、第1のラッチ56の出力Q56（図6（h））は、Hレベルに保たれている。従って、ANDゲート57の出力Q57（図6（i））はNANDゲート54の出力Q54の変化に応じてHレベルに立ち上がり、第2のラッチ58をセットする。この結果、第2のラッチ58の出力であるリフレッシュ要求信号RFREQ0（図6（j））がHレベルに立ち上がる。

【0063】なお、時刻t2では、チップセレクト信号#CSとスヌーズ信号ZZがいずれもHレベルになっているので、時刻t2以降はスタンバイサイクルが実行され、外部アクセスは実行されない。従って、外部アクセス実施信号発生回路42は、外部アクセス実施信号#EXO（図6（k））をHレベル（非アクティブ）に保持する。

【0064】リフレッシュ実施信号発生回路44は、リフレッシュ要求信号RFREQ0に応じて、リフレッシュ実施信号#RFO（図6（l））をLレベル（アクティブ）に設定する。この後、リフレッシュ動作を行うために十分な時間が経過すると、リフレッシュ実施信号発生回路44は、リフレッシュ実施信号#RFOをHレベル（非アクティブ）に立ち上げる。パルス発生回路46は、リフレッシュ実施信号#RFOの立ち上がりエッジに応じてリセット信号RESET0のパルスを発生する（図6（m））。このリセット信号RESET0は、第2のラッチ58のリセット入力端子に与えられているので、リフレッシュ要求信号RFREQ0は、リセット信号RESET0のパルスに応じてLレベル（非アクティブ）に戻る。

【0065】なお、リフレッシュ要求信号RFREQ0は、第1のラッチ56のリセット入力端子にも入力されているので、このラッチ56はリフレッシュ要求信号RFREQ0の立ち上がりに応じてリセットされる（図6（h））。この結果、クロック信号ICLKはANDゲート57によって阻止され、ANDゲート57の出力Q57はLレベルに立ち下がる。

【0066】なお、1回のリフレッシュ動作は、時刻t

2におけるクロック信号ICLKの立ち上がりエッジの後に開始され、クロック信号ICLKの1周期 T_c （すなわち、メモリのサイクル周期）の中で完了する。従って、スタンバイサイクルにおいてリフレッシュ動作が行われていても、クロック信号ICLKの次の立ち上がりエッジにおいて外部アクセスが要求された場合には、その外部アクセスを直ちに実施することが可能である。

【0067】図7は、オペレーションサイクルにおけるリフレッシュ動作の開始を示すタイミングチャートである。時刻 t_{11} においてリフレッシュタイミング信号RFTM（図7（f））がHレベルに立ち上がると、次のクロック信号ICLKの立ち上がりエッジの時刻 t_{12} においてリフレッシュ要求信号RFREQ0（図7（j））がHレベルに立ち上がる。ここまでの動作は、図6に示したスタンバイサイクルにおける動作と同じである。

【0068】図7の例では、時刻 t_{12} においてチップセレクト信号#CSがLレベルに下がっているため、時刻 t_{12} 以降はオペレーションサイクルが実行される。また、このときのブロックアドレスA0～A1の値は、“00”であり、第1のブロック20Aに対する外部アクセスが要求されていることを示している。従って、外部アクセス実施信号発生回路42（図5）は、外部アクセス実施信号#EX0（図7（k））をLレベル（アクティブ）に設定し、一方、リフレッシュ実施信号発生回路44は、リフレッシュ実施信号#RF0（図7（l））をしばらくの間はHレベル（非アクティブ）に維持する。

【0069】クロック信号ICLKの次の立ち上がりエッジの時刻 t_{13} では、ブロック20Aに対する外部アクセスが継続しているため、外部アクセス実施信号#EX0とリフレッシュ要求信号RFREQ0のレベルには変化は無い。一方、さらに次の立ち上がりエッジの時刻 t_{14} では、ブロックアドレスA0～A1が第2のブロック20Bへの外部アクセスを示す値に変化している。そこで、時刻 t_{14} 以降のサイクルでは、第1のブロック20Aに対する外部アクセス実施信号#EX0はHレベル（非アクティブ）になり、また、リフレッシュ実施信号#RF0はLレベル（アクティブ）になる。この結果、時刻 t_{14} 以降のサイクルにおいて、第1のブロック20Aでのリフレッシュ動作が実行される。なお、チップ全体のリフレッシュ動作については、さらに後述する。

【0070】以上のように、スタンバイサイクルやオペレーションサイクルにおいては、リフレッシュタイミング信号RFTMによってリフレッシュ動作をすべきことが通知されると、クロック信号ICLKに同期して（すなわち外部クロック信号CLKに同期して）リフレッシュ要求信号RFREQ0が発生し、これに応じてリフレッシュ動作が開始される。

【0071】図8は、スヌーズ状態におけるリフレッシュ動作の開始を示すタイミングチャートである。スヌーズ状態では、スヌーズ信号ZZはLレベルに保たれているため、NANDゲート54の出力Q54はHレベルに保たれる（図8（e））。従って、時刻 t_{21} においてリフレッシュタイミング信号RFTM（図8（f））が立ち上がり、これに応じて第1のラッチ56の出力Q56（図8（h））も立ち上がると、ANDゲート57の出力Q57（図8（i））がHレベルに立ち上がる。また、第2のラッチ58の出力であるリフレッシュ要求信号RFREQ0（図8（j））も、これに応じてHレベルに立ち上がる。スヌーズ状態では外部アクセスは行われないため、リフレッシュ要求信号RFREQ0がHレベルになると、リフレッシュ実施信号#RF0が必ずLレベル（アクティブ）になり、リフレッシュ動作が直ちに開始される。この時点以降の動作は図6と同様である。

【0072】このように、スヌーズ状態では、リフレッシュタイミング信号RFTMによって内部リフレッシュを実行すべきことが通知されると、4つのブロック20A～20Dにおけるリフレッシュ動作が直ちに開始される。従って、スヌーズ状態では、外部クロック信号CLKや内部クロック信号ICLKを必要とすることなく、メモリチップ200の内部回路のみでリフレッシュ動作を実行することが可能である。

【0073】図9は、スヌーズ状態からオペレーションサイクルに移行する場合の動作を示すタイミングチャートである。図9の時刻 t_{21} では、スヌーズ状態においてリフレッシュ動作が開始されている。リフレッシュが開始されるときの各信号の動作（図9（e）～（m））は、図8と同じである。

【0074】仮に、スヌーズ状態においてリフレッシュ動作が開始された時点（図9の時刻 t_{22} ）においてオペレーションサイクルを直ちに開始すると、最初の1サイクルではリフレッシュ動作と外部アクセスとが衝突してしまう。この結果、時刻 t_{22} から始まるオペレーションサイクルでは外部アクセス（データの読み出しや書き込み）を実施することが不可能な場合がある。例えば、時刻 t_{22} からリードサイクルを実行すると、メモリセルアレイ20からデータを読み出すことができず、外部装置が入出力データ端子IO0～IO15から間違ったデータを読み取ってしまう可能性がある。

【0075】そこで、第1実施例では、スヌーズ状態からオペレーションサイクルに移行するときには、図9に示すように、最初にスタンバイサイクルを1回行った後にオペレーションサイクルを開始している。こうすれば、スヌーズ状態の終了直前にリフレッシュ動作が開始されている場合にも、オペレーションサイクル（時刻 t_{23} 以降のサイクル）において正しい外部アクセスを実行することが可能である。

【0076】なお、外部装置は、スヌーズ状態の終了直前に内部リフレッシュが開始されているか否かを認識することができないのが普通である。従って、スヌーズ状態からオペレーションサイクルに移行するときには、常に、最初にスタンバイサイクルを1回行った後にオペレーションサイクルを開始するように、外部装置からの入力信号を生成することが好ましい。

【0077】なお、スヌーズ状態からオペレーションサイクルに移行する際に最初に挿入される1サイクルは、スタンバイサイクルに限らず、外部アクセスが行われないような任意のサイクル（以下「非オペレーションサイクル」と呼ぶ）とすることが可能である。また、このような非オペレーションサイクルは、オペレーションサイクルの前に、クロック信号ICLK、CLKに同期して少なくとも1回実行されれば良く、2サイクル以上実行されていてもよい。但し、処理速度の観点からは、非オペレーションサイクルは、1サイクルのみとする方が好ましい。

【0078】図10は、行プリデコーダ30Aの内部構成を示すブロック図である。行プリデコーダ30Aは、2つのスイッチ&ラッチ回路34、36と、判定回路38とを備えている。他の行プリデコーダ30B~30Dも同一の構成を有している。

【0079】判定回路38には、ブロックコントローラ40Aから供給された外部アクセス実施信号#EX0とリフレッシュ実施信号#RF0とが入力されている。外部アクセス実施信号#EX0がアクティブ（Lレベル）のときには、判定回路38は、第1のスイッチ&ラッチ回路34に供給するラッチ信号LEXをアクティブに設定する。第1のスイッチ&ラッチ回路34は、このラッチ信号LEXに応じて、外部装置から入力された行アドレスA8~A19をラッチして行デコーダ24Aに供給する。このとき、第2のスイッチ&ラッチ回路36に供給されるラッチ信号LRFは非アクティブに設定され、第2のスイッチ&ラッチ回路36からの出力が禁止される。

【0080】一方、リフレッシュ実施信号#RF0がアクティブ（Lレベル）のときには、判定回路38は、第2のスイッチ&ラッチ回路36に供給するラッチ信号LRFをアクティブに設定する。第2のスイッチ&ラッチ回路36は、このラッチ信号LEXに応じてリフレッシュアドレスRFA8~RFA19をラッチして行デコーダ24Aに供給する。このとき、第1のスイッチ&ラッチ回路34に供給されるラッチ信号LEXは非アクティブに設定され、第1のスイッチ&ラッチ回路34からの出力が禁止される。

【0081】なお、ブロックコントローラ40A（図5）は、同一のブロック20Aに対する外部アクセス実施信号#EX0とリフレッシュ実施信号#RF0とを同時にアクティブにすることが無いように構成されてい

る。外部アクセス実施信号#EX0とリフレッシュ実施信号#RF0がいずれも非アクティブのときには、行プリデコーダ30Aは、行デコーダ24Aにアドレスを供給しない。

【0082】このように、行プリデコーダ30Aは、外部アクセス実施信号#EX0とリフレッシュ実施信号#RF0のレベルに応じて、外部装置から入力された行アドレスA8~A19と、リフレッシュアドレスRFA8~RFA19とのうちの一方を選択して供給する。従って、ブロック20Aに対して外部アクセスが要求されているときには、行アドレスA8~A19に応じてブロック20A内の1本のワード線が活性化される。一方、ブロック20Aに対して外部アクセスが要求されておらず、かつ、リフレッシュが要求されているときには、リフレッシュアドレスRFA8~RFA19に応じて、ブロック20Aの1本のワード線上の複数のメモリセルに関するリフレッシュ動作が実行される。

【0083】上述した図6~図9の動作は、他のブロック20B~20Dも同様である。但し、外部アクセスは、ブロックアドレスA0~A1で指定された1つのブロックのみに関して実行され、2つ以上のブロックに対して同時に外部アクセスが行われることは無い。一方、以下に説明するように、リフレッシュ動作は、4つのブロック20A~20Dにおいて同時に実施することができる。

【0084】A4. チップ全体のリフレッシュ動作：図11は、スタンバイサイクルにおけるチップ全体のリフレッシュ動作を示すタイミングチャートである。図6において説明したように、時刻t1においてリフレッシュタイミング信号RFTM（図11（e））が立ち上がると、クロック信号ICLK（図11（a））の次の立ち上がりエッジ（時刻t2）に同期して、ブロック20Aに対するリフレッシュ要求信号RFREQ0がHレベルに立ち上がる。このとき、他のブロック20B~20Dに対するリフレッシュ要求信号RFREQ1~RFREQ3も同時にHレベルに立ち上がる。スタンバイサイクルでは、外部アクセスは行われないので、4つのブロック20A~20Dに対する外部アクセス要求信号#EX0~#EX3はHレベル（非アクティブ）に保持され、リフレッシュ実施信号#RF0~3はLレベル（アクティブ）に設定される。この結果、4つのブロック20A~20Dにおいて、同じリフレッシュアドレスRFA8~RFA19（図11（t））で指定されるn番目のワード線上のすべてのメモリセルがリフレッシュされる。なお、1回のリフレッシュ動作は、1クロック周期Tc（すなわち、メモリのサイクル期間）の中で完了する。

【0085】4つのブロック20A~20Dにおけるリフレッシュ動作がすべて完了すると、4つのリフレッシュ要求信号RFREQ0~RFREQ3（図11（f）~（i））がLレベルに戻る。リフレッシュカウンタコ

ントローラ90(図4)は、これらのリフレッシュ要求信号RFREQ0~RFREQ3のレベル変化に応じて、カウントアップ信号#CNTUP(図11(s))を発生する。

【0086】図12は、リフレッシュカウンタコントローラ90の内部構成を示すブロック図である。このコントローラ90は、4入力NORゲート92と、NANDゲート94と、遅延回路96と、インバータ98とを備えている。4入力NORゲート92には、4つのリフレッシュ要求信号RFREQ0~RFREQ3が入力されている。4入力NORゲート92の出力Q92は、NANDゲート94の一方の入力端子に入力されている。出力Q92は、さらに、遅延回路96で遅延され、インバータ98で反転された後に、NANDゲート94の他方の入力端子に入力されている。この構成から理解できるように、NANDゲート94から出力されるカウントアップ信号#CNTUPは、4つのリフレッシュ要求信号RFREQ0~RFREQ3が共にLレベルに立ち下がった後に、遅延回路96における遅延時間だけLレベルとなるようなパルス信号となる(図11(s))。

【0087】リフレッシュカウンタ100は、このカウントアップ信号#CNTUPに応じて、リフレッシュアドレスRFA8~RFA19(図11(t))を1つカウントアップする。従って、次のリフレッシュ動作は、n+1番目のワード線に関して行われる。

【0088】このように、スタンバイサイクルでは、いずれのブロック20A~20Dに対しても外部アクセスが無いので、4つのブロック20A~20Dにおいて同時にリフレッシュ動作が実行される。

【0089】図13は、オペレーションサイクルにおけるチップ全体のリフレッシュ動作を示すタイミングチャートである。図7においても説明したように、時刻t11においてリフレッシュタイミング信号RFTM(図13(e))が立ち上がると、クロック信号ICLK(図13(a))の次の立ち上がりエッジ(時刻t12)に同期して、ブロック20Aに対するリフレッシュ要求信号RFREQ0がHレベルに立ち上がる。このとき、他のブロック20B~20Dに対するリフレッシュ要求信号RFREQ1~RFREQ3も同時にHレベルに立ち上がる。この時刻t12では、ブロックアドレスA0~A1の値が"00"であり、第1のブロックに対する外部アクセスが要求されている。従って、第1のブロック20Aに対する外部アクセス実施信号#EX0(図13(k))がLレベル(アクティブ)に設定され、リフレッシュ実施信号#RF0はHレベル(非アクティブ)に維持される。ここまでの動作は、図7に説明したものと同じである。

【0090】時刻t12において外部アクセスが要求されていない他のブロック20B~20Dに関しては、外部アクセス実施信号#EX1~#EX3(図13(1))

~(n))はHレベル(非アクティブ)に保持され、リフレッシュ実施信号#RF0(図13(p)~(r))はLレベル(アクティブ)に設定される。従って、時刻t12から始まるサイクルでは、第1のブロック20Aに対しては外部アクセスが実行され、他の3つのブロック20B~20Dに対してはリフレッシュ動作が行われる。3つのブロック20B~20Dに関するリフレッシュ要求信号RFREQ1~RFREQ3は、リフレッシュ動作の終了に応じてLレベルに戻る。一方、リフレッシュ動作が保留されているブロック20Aに対するリフレッシュ要求信号RFREQ0は、Hレベルのまま維持される。

【0091】次のクロック信号ICLKの立ち上がりエッジ(時刻t13)においても、第1のブロック20Aに対する外部アクセスが継続されているので、このブロック20Aにおけるリフレッシュ動作は行われない。従って、リフレッシュ要求信号RFREQ0はHレベルに維持される。

【0092】さらに次のクロック信号ICLKの立ち上がりエッジ(時刻t14)においては、ブロックアドレスA0~A1が、第2のブロック20Bを示す値に変化している。そこで、外部アクセス実施信号発生回路42は、第1のブロック20Aに対する外部アクセス実施信号#EX0(図13(k))をHレベル(非アクティブ)に立ち上げるとともに、リフレッシュ実施信号#RF0(図13(o))をLレベル(アクティブ)に設定して、リフレッシュ動作を実行させる。すなわち、時刻t14から始まるサイクルでは、第1のブロック20Aにおいてのみリフレッシュ動作が行われる。このリフレッシュ動作が終了すると、リフレッシュ要求信号RFREQ0がLレベルに戻る。

【0093】こうして、4つのブロック20A~20Dにおけるリフレッシュ動作がすべて完了して4つのリフレッシュ要求信号RFREQ0~RFREQ3がLレベルに戻ると、カウントアップ信号#CNTUP(図13(s))が発生し、リフレッシュアドレスRFA8~RFA19(図13(t))が1つカウントアップされる。

【0094】なお、同じブロック20Aに対する外部アクセスが、1リフレッシュ周期(リフレッシュタイミング信号RFTMの周期)以上継続している場合も考えられる。このような場合には、リフレッシュアドレスRFA8~RFA19がカウントアップされる前に、次のリフレッシュタイミングが生じてしまう。このときには、4つのブロック20A~20Dについて、再度n番目のワード線についてのリフレッシュが図13の手順で実行される。すなわち、リフレッシュアドレスのカウントアップは、すべてのブロックにおいて、同じリフレッシュアドレスに関するリフレッシュ動作が完了した後に行われるので、4つのブロック20A~20Dのすべてのワ

ード線に関するリフレッシュを確実に実行することが可能である。

【0095】このように、オペレーションサイクルにおいては、リフレッシュ動作が要求されているときには、外部アクセスが要求されているブロックに関するリフレッシュ動作のみが延期され、他の3つのブロックにおいてはリフレッシュ動作がそのまま実行される。そして、外部アクセスがなされていたブロックに対する外部アクセスが終了すると、そのブロックに対するリフレッシュ動作が実行される。このような動作には、以下のようないくつかの利点がある。

【0096】第1の利点は、リフレッシュの透過性を確保できる点である。ここで、「リフレッシュの透過性」とは、外部装置から見たときに、内部リフレッシュによって外部アクセスが遅れることが無いことを意味している。すなわち、オペレーションサイクルにおいて、各ブロックで外部アクセスを実行するか、リフレッシュ動作を実行するかは、いずれもクロック信号ICLKに（すなわち外部クロック信号CLKに）同期して判断される。また、リフレッシュ動作は、1回のサイクル周期T_c内で完結する。従って、外部アクセスの要求があったときには、その外部アクセスを延期することなく常に直ちに実行することができる。

【0097】第2の利点は、メモリチップ200への外部アクセスが長時間継続しても、その期間の中で外部アクセスの対象となるブロックが変化していれば、すべてのブロックに関してリフレッシュを実行することが可能な点である。この第2の利点は、リフレッシュの透過性をさらに高める効果がある。このような利点を発揮するためには、メモリセルアレイ20は、4つのブロックに分割されている必要は無く、少なくとも2つのブロックに分割されていればよい。但し、外部アクセスの対象となるブロックは、なるべく頻繁に変化することが好ましい。このためには、なるべく頻繁に変化する2ビットをブロックアドレスA0～A1として割り当てればよい。通常は、複数のアドレスビットの中で、より下位のビットほど変化しやすい傾向にある。従って、一般にメモリセルアレイの複数のブロックを識別するためのブロックアドレスとしては、複数のアドレスビットの中の最下位の数ビットを割り当てるのが好ましい。

【0098】図14は、スヌーズ状態におけるチップ全体のリフレッシュ動作を示すタイミングチャートである。図8でも説明したように、時刻t21においてリフレッシュタイミング信号RFTM（図14（e））が立ち上がると、直ちに4つのブロック20A～20Dに対するリフレッシュ要求信号RFREQ0～RFREQ3がHレベルに立ち上がる。スヌーズ状態では外部アクセスは行われないので、4つのブロック20A～20Dに対する外部アクセス実施信号#EX0～#EX3はHレベル（非アクティブ）に維持され、リフレッシュ実施信

号#RF0～#RF3はLレベル（アクティブ）に立ち下がる。この結果、4つのブロック20A～20Dにおいて、同じn番目のワード線上のすべてのメモリセルがリフレッシュされる。その後の動作は、図11に示したスタンバイサイクルのものと同じである。

【0099】このように、スヌーズ状態では、リフレッシュ動作の開始タイミングはクロック信号ICLKに同期しておらず、リフレッシュタイミング信号RFTMによってリフレッシュ動作の開始時期が示されると、直ちに4つのブロック20A～20Dにおいて同時にリフレッシュ動作が実行される。

【0100】以上説明したように、第1実施例のメモリチップ200は、オペレーションサイクルでは、クロック信号CLKに同期して外部アクセスの要求と内部リフレッシュの要求とを同時に判断しているので、外部アクセスを遅延させることが無い。また、スヌーズ状態では、リフレッシュタイミング信号RFTMによってリフレッシュが要求されたときに、すべてのブロック20A～20Dに対してリフレッシュを実行しているため、外部装置からクロック信号ICLKが供給されていなくてもリフレッシュを行うことが可能である。

【0101】すなわち、第1実施例では、オペレーションサイクルとスヌーズ状態とにおいてリフレッシュ動作の開始タイミングを決定する信号（クロック信号ICLKとリフレッシュタイミング信号RFTM）を変更しているため、それぞれの状態に適したリフレッシュ動作を行うことが可能である。具体的には、オペレーションサイクルではリフレッシュの透過性を保持するようにリフレッシュ動作を実行することができ、一方、スヌーズ状態ではクロック信号ICLKを使用しない低消費電力の動作状態においてリフレッシュ動作を確実に実行することが可能である。

【0102】また、スヌーズ状態からオペレーションサイクルに移行する際には、オペレーションサイクルの前にスタンバイサイクルを1サイクル挿入しているため、オペレーションサイクルに移行する直前に内部リフレッシュが開始されていても、オペレーションサイクルまでには内部リフレッシュが終了しており、従って、内部リフレッシュと外部アクセスとの衝突が回避される。

【0103】B：第2実施例：図15は、本発明の第2実施例としてのメモリチップ300の端子の構成を示す説明図である。このメモリチップ300は、クロック入力端子CLKを有しておらず、外部クロック信号CLKを入力する必要が無いという特徴を有している。外部装置（例えばCPU）は、通常の非同期型SRAMと同じ手順でこのメモリチップ300にアクセスすることが可能である。

【0104】また、このメモリチップ300の内部には、入出力アドレスA0～A19の中のいずれか1ビット以上が変化したことを検出するためのアドレス遷移検

10

20

30

40

50

出回路（以下、「ATD回路」と呼ぶ）110が設けられている。後述するように、ATD回路110によって生成されるATD信号は、第1実施例におけるクロック信号ICLKとほぼ同じ働きを有している。

【0105】図16は、第2実施例のメモリチップ300の動作状態の区分を示す説明図である。第1実施例（図2）との違いは、第1のリフレッシュモード1において、クロック信号ICLKの代わりにATD信号が使用されている点だけである。すなわち、第1のリフレッシュモードでは、リフレッシュタイマ70がリフレッシュタイミング信号を発生した後に、ATD信号に同期してリフレッシュが開始される。第2のリフレッシュモードでは、第1実施例と同様に、リフレッシュタイマ70がリフレッシュタイミング信号を発生すると直ちにリフレッシュ動作が開始される。

【0106】図17は、第2実施例のメモリチップ200の動作の概要を示すタイミングチャートである。第2実施例においても、3つの動作状態（オペレーション、スタンバイ、スヌーズ）は、図3に示した第1実施例とほぼ同様である。但し、第2実施例では、オペレーションサイクル以外では、原則として入出力アドレスA0～A19が変化しない点が第1実施例と異なる。従って、3つの動作状態（オペレーション、スタンバイ、スヌーズ）のいずれであるかは、チップセレクト信号#CSとスヌーズ信号ZZの変化に応じて随時判断される。

【0107】なお、第2実施例のメモリチップ300におけるオペレーションサイクルのサイクル周期 T_c （すなわち、アドレスA0～A19の変化の最短周期）は、第1実施例のメモリチップ200のサイクル周期 T_c よりも若干長い。この理由については後述する。

【0108】図18は、第2実施例のメモリチップ300の内部構成を示すブロック図である。図4に示した第1実施例との違いは、クロックコントローラ80の代わりにATD回路110が設けられている点であり、他は第1実施例と同じである。ATD回路110は、外部装置から供給された入出力アドレスA0～A19の中のいずれか1ビット以上に変化があるか否か検出し、変化が検出されたときには、ATD信号を生成する。

【0109】図19は、ATD回路110の内部構成を示すブロック図である。ATD回路110は、20ビットの入出力アドレスA0～A19の各ビットに対応した20個の遷移検出回路111と、20入力ORゲート118と、を備えている。個々の遷移検出回路111は、インバータ112と、2つのパルス発生回路113、114と、ORゲート115とを有している。パルス発生回路113、114としては、例えばワンショットマルチバイブレータが使用される。

【0110】第1のパルス発生回路113は、アドレスビットA0の立ち上がりエッジに応じて、所定のパルス幅を有するパルスを1つ生成する。また、インバータ1

12と第2のパルス発生回路114は、アドレスビットA0の立ち下がりエッジに応じて、所定のパルス幅を有するパルスを1つ生成する。従って、ORゲート115からは、アドレスビットA0の立ち上がりエッジと立ち下がりエッジの各エッジ毎に、パルスが1つずつ出力される。これは、他のアドレスビットA1～A19についても同様である。

【0111】20入力ORゲート118には、20個の遷移検出回路111の出力が入力されている。従って、20ビットの入出力アドレスA0～A19の中の1つ以上のビットのレベルが変化すると、ORゲート118からパルス状のATD信号が出力される。図18に示したように、このATD信号は、アドレスバッファ60やリフレッシュ要求信号発生回路50A～50Dに供給されており、第1実施例におけるクロック信号ICLKと同じ働きを行う。

【0112】図20は、第2実施例におけるリフレッシュ要求信号発生回路50Aと、ブロックコントローラ40Aの内部構成を示すブロック図である。第1実施例で説明した図5との違いは、クロック信号ICLKがATD信号に置き換えられている点だけであり、他は第1実施例と同じである。

【0113】図21は、第2実施例のスタンバイサイクルにおけるリフレッシュ動作の開始を示すタイミングチャートである。第2実施例のメモリチップ300では、スタンバイサイクルにおいては原則として入出力アドレスA0～A19は変化しない。しかし、図16で説明したように、スタンバイサイクルでは、ATD信号に同期してリフレッシュを実行する第1のリフレッシュモードが採用されている。そこで、外部装置は、スタンバイサイクルの期間中において、少なくとも1つのアドレスビット（例えばA0）を定期的に変化させて内部リフレッシュを実行させる。このようなアドレスビットの変化の周期は、リフレッシュタイミング信号RFTMで規定されるリフレッシュ周期の1/2以下であることが好ましい。この理由は、リフレッシュ周期の1/2以下の期間毎にアドレスビットが変化すれば、リフレッシュタイミング信号RFTMがHレベルの期間において必ずATD信号が発生するからである。

【0114】図21の時刻 t_1 においては、リフレッシュタイミング信号RFTM（図21（g））がHレベルに立ち上がり、時刻 t_2 においてはアドレスA0～A19（図21（d））の変化に応じてATD信号が発生する（図21（a））。この後の動作は、図6で説明した第1実施例の動作と同じである。

【0115】図22は、第2実施例のオペレーションサイクルにおけるリフレッシュ動作の開始を示すタイミングチャートである。オペレーションサイクルにおいては、アドレスA0～A19が1サイクル周期 T_c 毎に変化するので、リフレッシュ動作は図7に示した第1実

10

20

30

40

50

施例の動作と同じものになる。

【0116】図23は、第2実施例のスヌーズ状態におけるリフレッシュ動作の開始を示すタイミングチャートである。第2実施例においても第1実施例と同様に、スヌーズ状態のときには、リフレッシュタイミング信号RFTMによってリフレッシュのタイミングが通知されると、直ちにリフレッシュ動作が開始される。従って、スヌーズ状態では、外部装置から入力されるアドレスA0～A19の変化を必要とすることなく、メモリチップ200の内部回路のみでリフレッシュ動作を実行することが可能である。

【0117】上述の説明から理解できるように、第2実施例においては、アドレスA0～A19が、本発明における「リフレッシュ動作の実行タイミングを決定する際にリフレッシュタイミング信号と共に使用される外部タイミング信号」に相当する。

【0118】図24は、第2実施例においてスヌーズ状態からオペレーションサイクルに移行する場合を示すタイミングチャートである。時刻t21では、スヌーズ状態においてリフレッシュ動作が開始されている。リフレッシュが開始されるとき各信号の動作(図24(e)～(m))は、図23と同じである。時刻t22では、リフレッシュ実施信号#RFO(図24(1))がLレベル(アクティブ)に設定され、これに応じて第1のブロック20Aにおけるリフレッシュが開始される。

【0119】図24の例では、この時刻t22においてチップセレクト信号#CSとスヌーズ信号ZZが変化して、オペレーションサイクルが開始されている。このとき、リフレッシュが既に開始されているので、外部アクセスはこのリフレッシュが終了してから行われる。すなわち、外部アクセス実施信号#EXO(図24(k))は、オペレーションサイクルが始まった時刻t22から時間Tdだけ遅れてLレベル(アクティブ)になる。

【0120】オペレーションサイクルにおける外部アクセス実施信号#EXOのタイミングは、図24のような場合に常に適合できるように設定されている。すなわち、オペレーションサイクルにおいては、外部アクセス実施信号#EXOのレベルは、オペレーションサイクルが開始される時刻(具体的には、チップセレクト信号#CSがHレベルからLレベルに変化する時刻)から、所定の遅延時間Tdだけ遅れて外部アクセスが開始されるように設定される。これは、他のブロックに対する外部アクセス実施信号#EX1～#EX3も同じである。

【0121】第2実施例のメモリチップ300のサイクル周期Tc'は、図24のような場合においても外部アクセスが1回のサイクル周期Tc'内で終了するように、十分長く設定されることが好ましい。すなわち、サイクル周期Tc'の長さは、オペレーションサイクルが開始される時刻においてちょうど内部リフレッシュが開始されていた場合を想定しても、そのオペレーションサ

イクルにおいて外部アクセスが完了できるように設定されていることが好ましい。このようにすれば、図24のような場合でも外部アクセスを1回のサイクル周期Tc'の中で完了できるので、外部装置は内部リフレッシュを考慮せずに、任意のタイミングでメモリチップ300にアクセスすることが可能である。これによって、リフレッシュの透過性を高めることが可能である。

【0122】なお、上述した第1実施例においては、図9で説明したように、スヌーズ状態からオペレーションサイクルに移行する際に、1サイクル分のスタンバイサイクルを挿入することによって、内部リフレッシュと外部アクセスとの衝突を回避していた。このような動作が可能な理由は、外部クロック信号CLKに同期して、オペレーションサイクルやスタンバイサイクルが実行されているからである。

【0123】これに対して、第2実施例においては、外部クロック信号CLKを利用していないので、図9と同じようにスタンバイサイクルを挿入するのは必ずしも容易ではない。そこで、第2実施例では、サイクル周期Tc'を比較的長く設定することによって、最悪ケースにおける内部リフレッシュと外部アクセスとの衝突を回避している。

【0124】このように、第2実施例のメモリチップ300におけるサイクル周期Tc'は、第1実施例のメモリチップ200におけるサイクル周期Tcよりも長いので、動作の速度の点からは、第1実施例のメモリチップ200の方が好ましい。一方、第2実施例のメモリチップ300は、外部クロック信号CLKの入力が不要であり、また、外部装置のアクセスの手順が通常の非同期SRAMと同じなので、第1実施例のメモリチップ200よりも利用し易いという利点がある。

【0125】なお、第2実施例におけるチップ全体のリフレッシュ動作は、前述した第1実施例とほぼ同じなので、説明を省略する。

【0126】以上のように、第1および第2実施例のメモリチップ200、300では、第1のリフレッシュモードにおいては、リフレッシュタイミング信号RFTMの発生後に、外部装置から供給されるクロック信号CLKまたはアドレスA0～A19によって決定されるタイミングに従って内部リフレッシュを実行している。また、第2のリフレッシュモードにおいては、リフレッシュタイミング信号RFTMの発生に応じて直ちに内部リフレッシュを実行している。すなわち、メモリチップ200、300の動作状態にそれぞれ適したモードで内部リフレッシュを実行することが可能である。

【0127】C. 電子機器への適用例：図25は、本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図である。この携帯電話機600は、本体部610と、蓋部620とを備えている。本体部610には、キーボード612と、液晶表示

部 614 と、受話部 616 と、本体アンテナ部 618 とが設けられている。また、蓋部 620 には、送話部 622 が設けられている。

【0128】図 26 は、携帯電話機 600 の電氣的構成を示すブロック図である。CPU 630 には、図示しないバスラインを介して、キーボード 612 と、液晶表示部 614 を駆動するための LCD ドライバ 632 と、SRAM 640 と、VSRAM 642 と、EEPROM 644 とが接続されている。

【0129】SRAM 640 は、例えば高速なキャッシュメモリとして利用される。また、VRAM 642 は、例えば画像処理用の作業メモリとして利用される。この VSRAM 642 (疑似 SRAM あるいは仮想 SRAM と呼ばれる) としては、上述した第 1 実施例のメモリチップ 200 や、第 2 実施例のメモリチップ 300 を採用することができる。EEPROM 644 は、携帯電話機 600 の各種の設定値を格納するために利用される。

【0130】携帯電話機 600 の動作を一時的に停止させるときには、VSRAM 642 をスヌーズ状態に維持しておくことができる。こうすれば、VSRAM 642 が内部リフレッシュを自動的に行うので、VSRAM 642 内のデータを消失させずに保持しておくことが可能である。特に、上述した各実施例のメモリチップ 200、300 は比較的大容量なので、画像データなどの大量のデータを長時間保持し続けることができるという利点がある。

【0131】D. 変形例：なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば次のような変形も可能である。

【0132】D1. 変形例 1：上記実施例では、スタンバイサイクルにおいて第 1 のリフレッシュモードに従ってリフレッシュ動作を行っていたが、スタンバイサイクルにおいては第 2 のリフレッシュモードに従ってリフレッシュ動作を行うようにしてもよい。また、第 1 や第 2 のリフレッシュモードとは異なる他のリフレッシュモードに従ってリフレッシュ動作を行うようにしてもよい。

【0133】D2. 変形例 2：第 1 のリフレッシュモードにおいて、上記第 1 実施例では、リフレッシュタイミング信号 RFTM の立ち上がりエッジ発生後に外部クロック信号 CLK に同期してリフレッシュ動作を開始し、一方、第 2 実施例では、リフレッシュタイミング信号 RFTM の発生後に ATD 信号 (すなわちアドレス A0 ~ A19 の変化) に同期してリフレッシュ動作を開始していた。しかし、第 1 のリフレッシュモードにおいてリフレッシュ動作を開始するタイミングを決定するための信号 (「外部タイミング信号」と呼ぶ) としては、外部クロック信号 CLK やアドレス A0 ~ A19 以外の信号を利用することも可能である。すなわち、一般には、第 1 のリフレッシュモードにおいて、外部装置から供給され

る外部タイミング信号によって決定されるタイミングに従って、リフレッシュ動作を開始するようにすればよい。

【0134】D3. 変形例 3：上記各実施例においては、第 2 のリフレッシュモードにおいて、リフレッシュタイミング信号 RFTM の発生後に直ちにリフレッシュ動作を開始していたが、この代わりに、リフレッシュタイミング信号 RFTM の発生した後にさらに所定の期間経過した後にリフレッシュ動作を開始するようにしてもよい。すなわち、一般に、第 2 のリフレッシュモードでは、外部タイミング信号の有無に拘わらず、リフレッシュタイミング信号 RFTM の発生に応じてメモリセルアレイにリフレッシュ動作を開始させるようにすればよい。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例としてのメモリチップ 200 の端子の構成を示す説明図。

【図 2】チップセレクト信号 #CS とスヌーズ信号 ZZ のレベルに応じたメモリチップ 200 の動作状態の区分を示す説明図。

【図 3】第 1 実施例のメモリチップ 200 の動作の概要を示すタイミングチャート。

【図 4】第 1 実施例のメモリチップ 200 の内部構成を示すブロック図。

【図 5】リフレッシュ要求信号発生回路 50A と、ブロックコントローラ 40A の内部構成を示すブロック図。

【図 6】スタンバイサイクルにおけるリフレッシュ動作の開始を示すタイミングチャート。

【図 7】オペレーションサイクルにおけるリフレッシュ動作の開始を示すタイミングチャート。

【図 8】スヌーズ状態におけるリフレッシュ動作の開始を示すタイミングチャート。

【図 9】スヌーズ状態からオペレーションサイクルに移行する場合の動作を示すタイミングチャート。

【図 10】行ブリデコーダ 30A の内部構成を示すブロック図。

【図 11】スタンバイサイクルにおけるチップ全体のリフレッシュ動作を示すタイミングチャート。

【図 12】リフレッシュカウンタコントローラ 90 の内部構成を示すブロック図。

【図 13】オペレーションサイクルにおけるチップ全体のリフレッシュ動作を示すタイミングチャート。

【図 14】スヌーズ状態におけるチップ全体のリフレッシュ動作を示すタイミングチャート。

【図 15】本発明の第 2 実施例としてのメモリチップ 300 の端子の構成を示す説明図。

【図 16】第 2 実施例のメモリチップ 300 の動作状態の区分を示す説明図。

【図 17】第 2 実施例のメモリチップ 300 の動作の概要を示すタイミングチャート。

【図18】第2実施例のメモリチップ300の内部構成を示すブロック図。

【図19】ATD回路110の内部構成を示すブロック図。

【図20】第2実施例におけるリフレッシュ要求信号発生回路50Aと、ブロックコントローラ40Aの内部構成を示すブロック図。

【図21】第2実施例のスタンバイサイクルにおけるリフレッシュ動作の開始を示すタイミングチャート。

【図22】第2実施例のオペレーションサイクルにおけるリフレッシュ動作の開始を示すタイミングチャート。

【図23】第2実施例のスヌーズ状態におけるリフレッシュ動作の開始を示すタイミングチャート。

【図24】第2実施例においてスヌーズ状態からオペレーションサイクルに移行する場合の動作を示すタイミングチャート。

【図25】本発明による半導体メモリ装置を利用した電子機器の一実施例としての携帯電話機の斜視図。

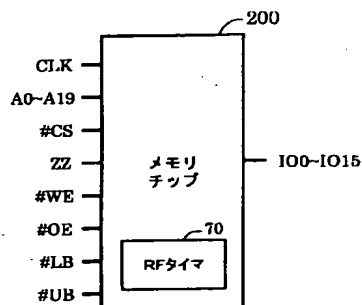
【図26】携帯電話機600の電氣的構成を示すブロック図。

【符号の説明】

10…データ入出力バッファ
20…メモリセルアレイ
20A~20D…ブロック
22A…メモリセルサブアレイ
24A~24D…行デコーダ
26A~26D…列デコーダ
30A~30D…行プリデコーダ
34, 36…ラッチ回路
36…ラッチ回路
38…判定回路
40A~40D…ブロックコントローラ
42…外部アクセス実施信号発生回路
44…リフレッシュ実施信号発生回路
46…パルス発生回路
50A~50D…リフレッシュ要求信号発生回路

52…インバータ
54…NANDゲート
55…パルス発生回路
56…ラッチ
57…ANDゲート
58…ラッチ
60…アドレスバッファ
70…リフレッシュタイマ
80…クロックコントローラ
90…リフレッシュカウンタコントローラ
94…NANDゲート
96…遅延回路
98…インバータ
100…リフレッシュカウンタ
110…ATD回路
111…遷移検出回路
112…インバータ
113, 114…パルス発生回路
115…ORゲート
118…ORゲート
200…メモリチップ
300…メモリチップ
600…携帯電話機
610…本体部
612…キーボード
614…液晶表示部
616…受話部
618…本体アンテナ部
620…蓋部
622…送話部
630…CPU
632…LCDドライバ
640…SRAM
642…VRAM
642…VSRAM
644…EEPROM

【図1】



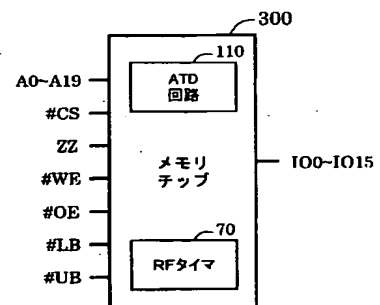
【図2】

	#CS	ZZ	リフレッシュ モード (注)
オペレーション	L	H	モード1
スタンバイ	H	H	モード1
スヌーズ (パワーダウン)	H	L	モード2

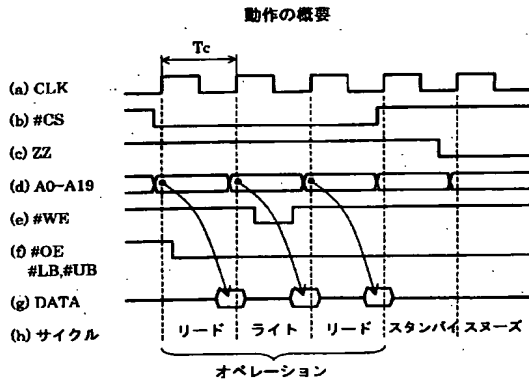
(注)
リフレッシュモード1: メモリチップ内部でリフレッシュタイミング信号が発生した後に、クロック信号CLKに同期してリフレッシュを実行する

リフレッシュモード2: メモリチップ内部でのリフレッシュタイミング信号の発生に応じてリフレッシュを実行する
(クロック信号CLKは不要)

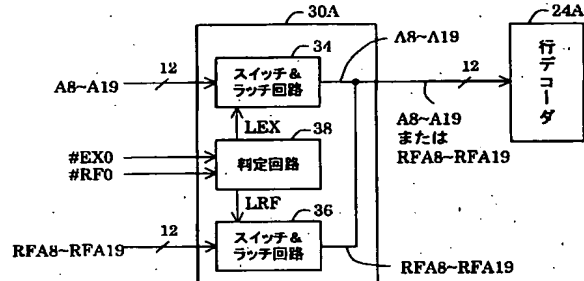
【図15】



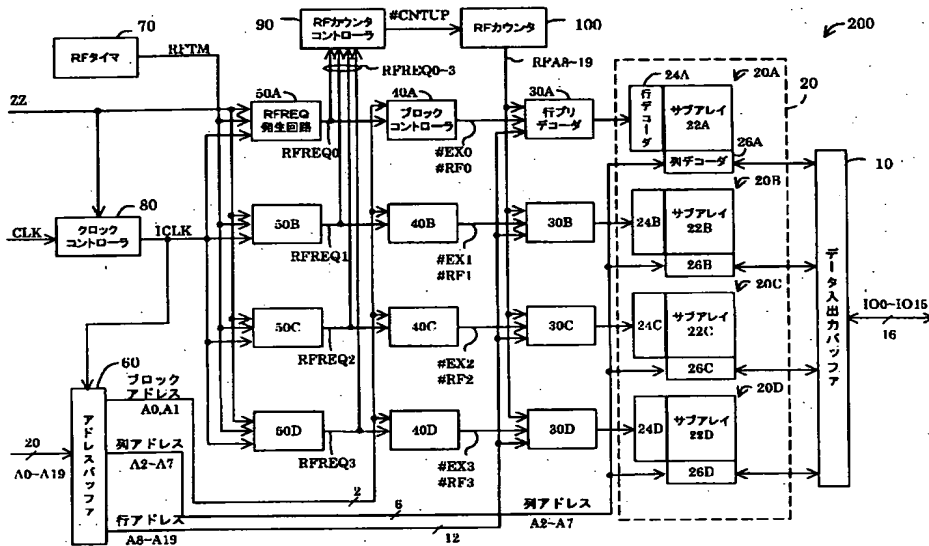
【図3】



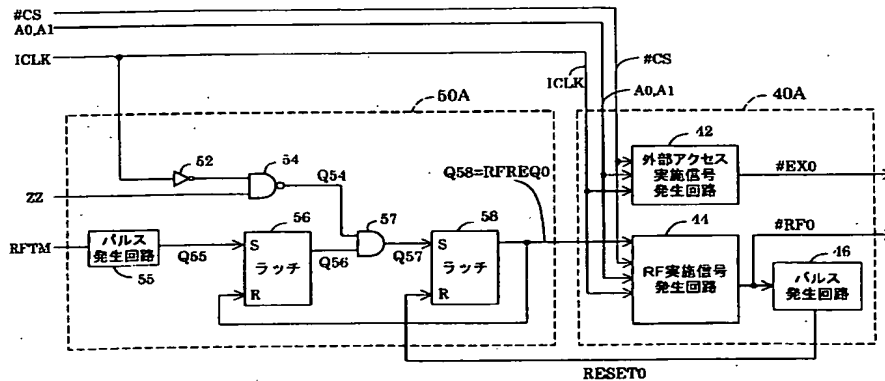
【図10】



【図4】

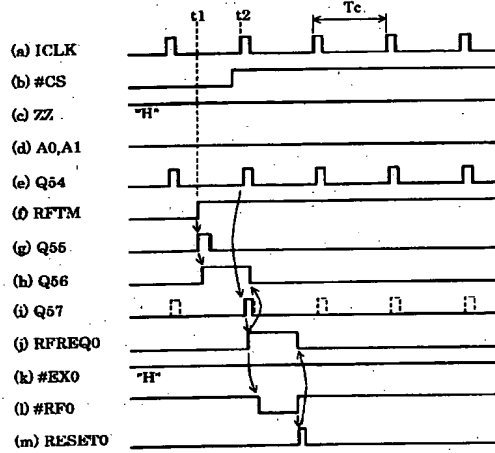


【図5】



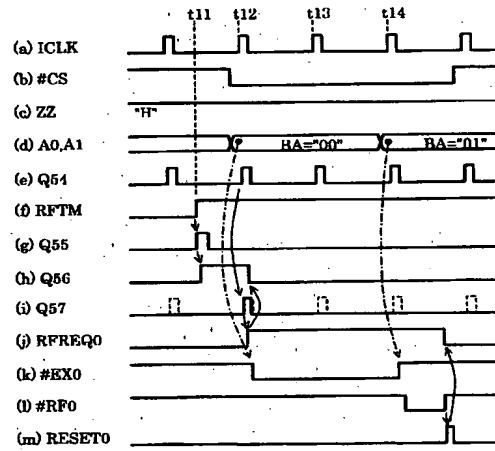
【図 6】

スタンバイサイクルでのリフレッシュ動作の開始



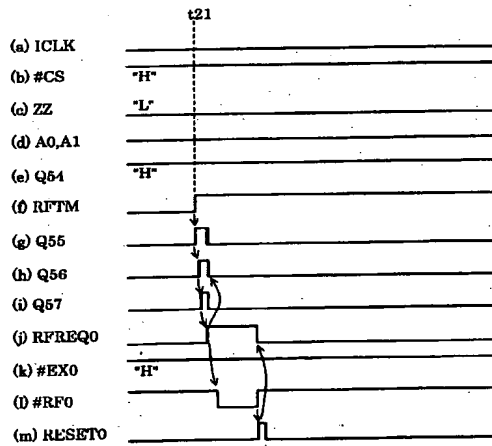
【図 7】

オペレーションサイクルでのリフレッシュ動作の開始



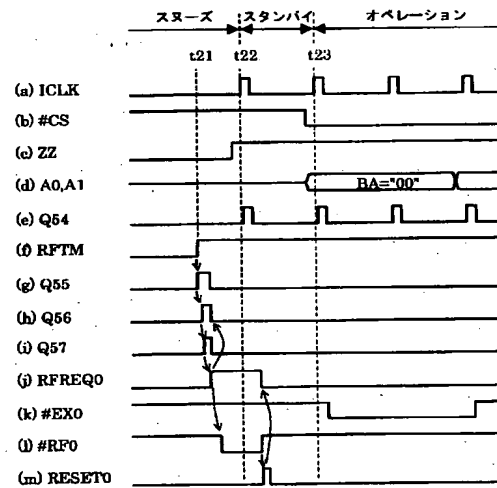
【図 8】

スヌーズ状態でのリフレッシュ動作の開始

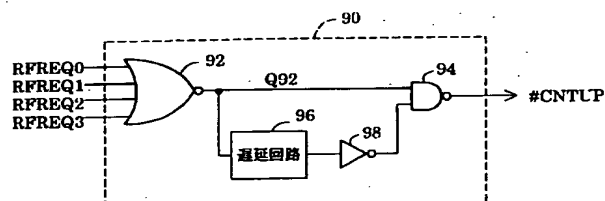


【図 9】

スヌーズ状態からオペレーションサイクルへの移行

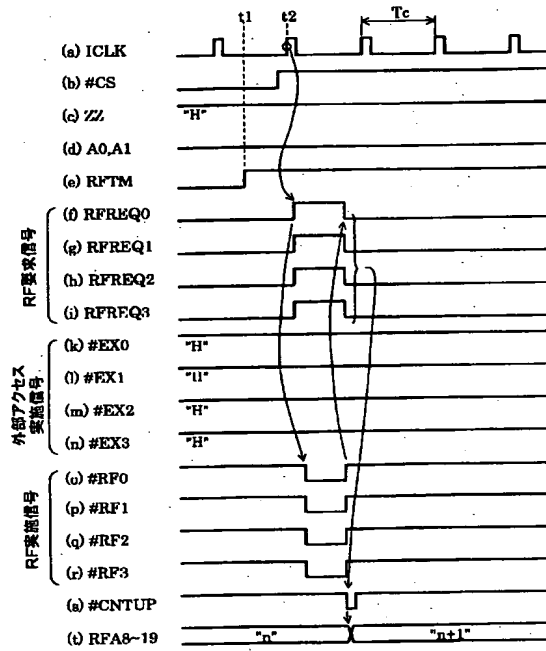


【図 12】



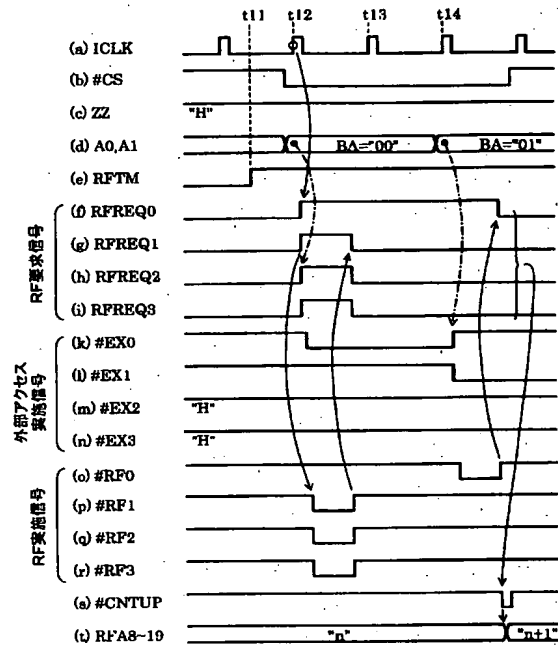
【図11】

スタンバイサイクルでのチップ全体のリフレッシュ動作



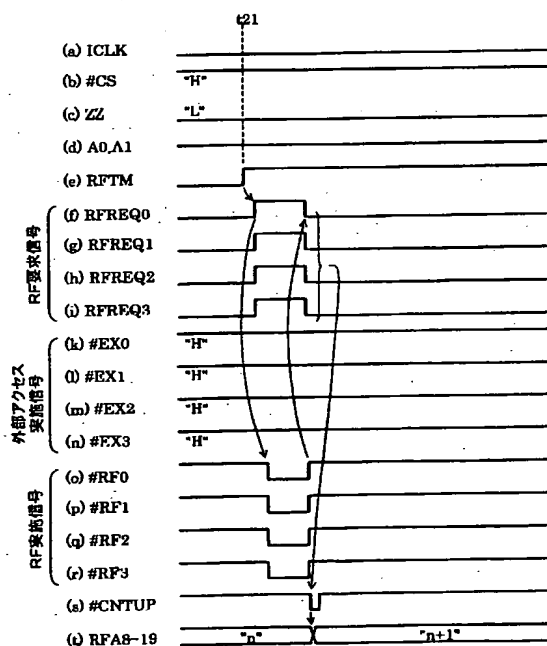
【図13】

オペレーションサイクルでのチップ全体のリフレッシュ動作



【図14】

スヌーズ状態でのチップ全体のリフレッシュ動作



【図16】

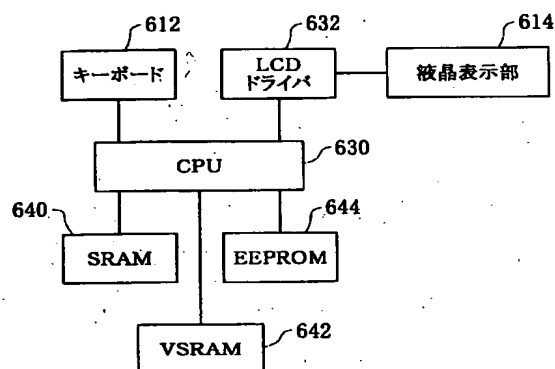
	#CS	ZZ	リフレッシュ モード (注)
オペレーション	L	H	モード1
スタンバイ	H	H	モード1
スヌーズ (パワーダウン)	H	L	モード2

(注)

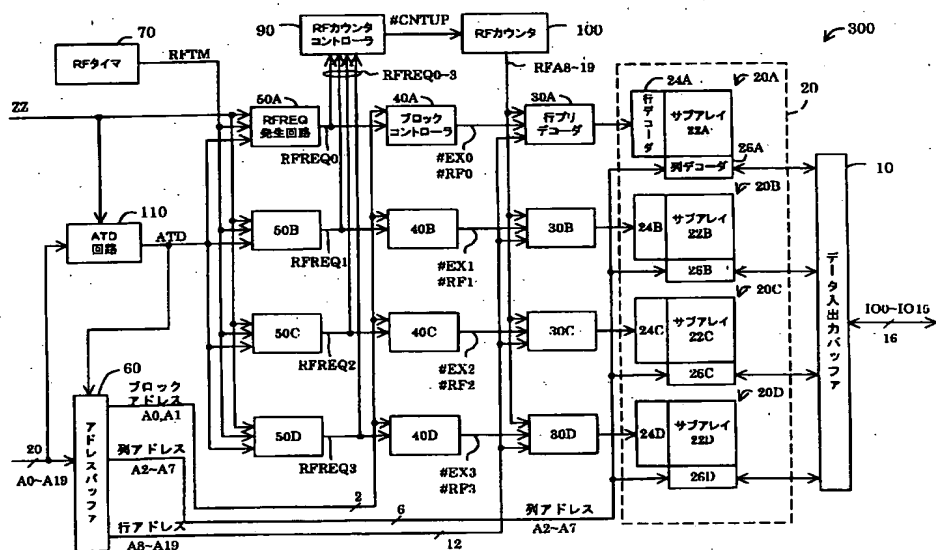
リフレッシュモード1: メモリチップ内部でリフレッシュタイミング信号が発生した後に、ATD信号に同期してリフレッシュを実行する

リフレッシュモード2: メモリチップ内部でのリフレッシュタイミング信号の発生に応じてリフレッシュを実行する (アドレス入力は不要)

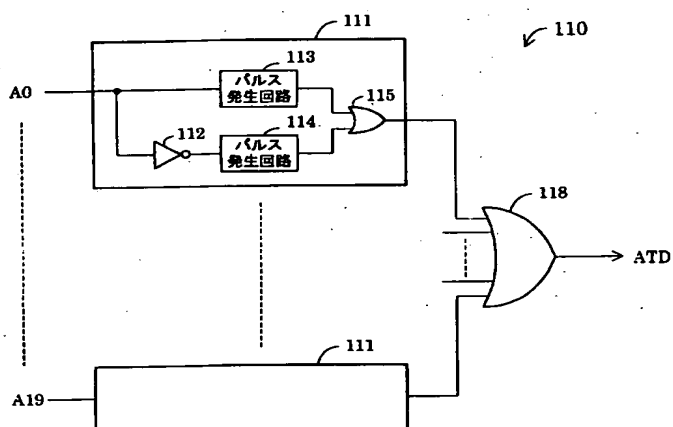
【図 26】



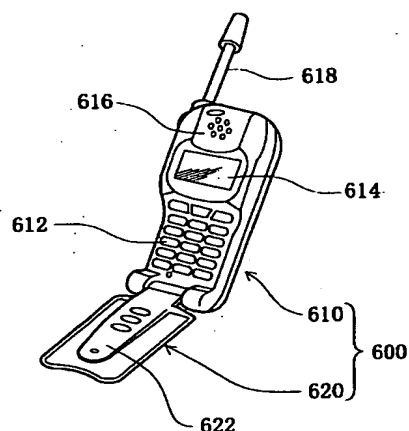
【图 18】



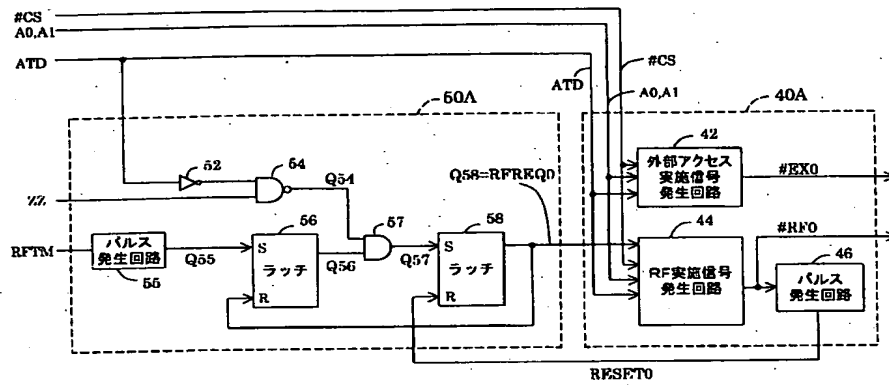
【图 19】



【图 25】

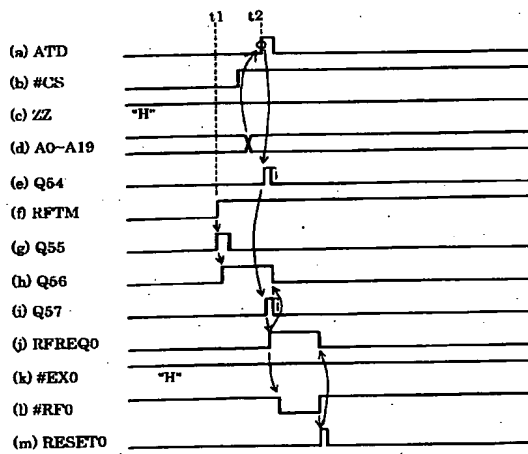


【図20】



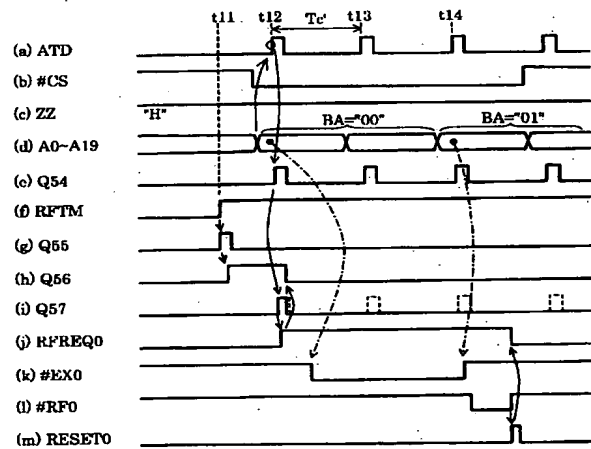
【図21】

スタンバイサイクルでのリフレッシュ動作の開始



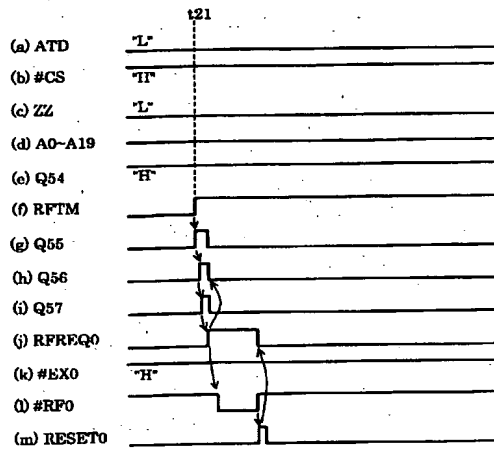
【図22】

オペレーションサイクルでのリフレッシュ動作の開始



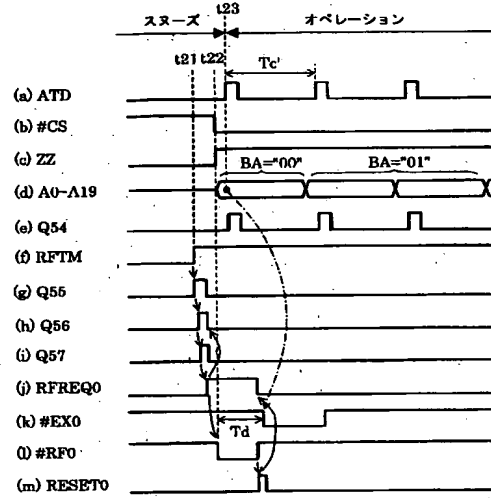
【図 23】

スヌーズ状態でのリフレッシュ動作の開始



【図 24】

スヌーズ状態からオペレーションサイクルへの移行



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-074945

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

G11C 11/406

G11C 11/407

G11C 11/403

(21)Application number : 2000-265053

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.09.2000

(72)Inventor : MIZUGAKI KOICHI

(54) REFRESH CONTROL OF SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a technique through which refresh operations suitable to a plurality of respective operating states that a semiconductor memory can take are performed.

SOLUTION: A memory chip 200 starts a refresh operation in synchronism with a clock signal CLK supplied from an external device in an operation cycle after the generation of a refresh timing signal RFTM. Moreover, in a snooze state (a low power consumption state), a refresh operation is started in accordance with the generation of the signals RFTM regardless of the presence or absence of the signal.

	MC5	ZZ	リフレッシュモード (注)
オペレーション	L	H	モード1
スタンバイ	L	H	モード1
スヌーズ (パワーダウン)	H	L	モード2

(注) リフレッシュモード1: メモリチップ内部のリフレッシュタイミング発生が
発生した後に、クロック信号CLKに同期してリフ
レッシュを実行する

リフレッシュモード2: メモリチップ内部でのリフレッシュタイミング発生
の発生、及び、リフレッシュを実行する
(クロック信号CLKは不要)

LEGAL STATUS

[Date of request for examination]

07.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office